

#2

DOCKET NO.: 255976US2PCT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Yoshihiko HORIO et al.

SERIAL NO.: NEW U.S. PCT APPLICATION

FILED: HERewith

INTERNATIONAL APPLICATION NO.: PCT/JP03/00513

INTERNATIONAL FILING DATE: January 22, 2003

FOR: NONLINEAR RESISTOR CIRCUIT USING FLOATING GATE MOSFETS

REQUEST FOR PRIORITY UNDER 35 U.S.C. 119
AND THE INTERNATIONAL CONVENTION

Commissioner for Patents
Alexandria, Virginia 22313

Sir:

In the matter of the above-identified application for patent, notice is hereby given that the applicant claims as priority:

COUNTRY

Japan

APPLICATION NO

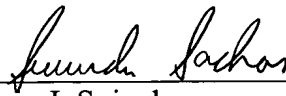
2002-014989

DAY/MONTH/YEAR

24 January 2002

Certified copies of the corresponding Convention application(s) were submitted to the International Bureau in PCT Application No. PCT/JP03/00513.

Respectfully submitted,
OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak
Attorney of Record
Registration No. 24,913
Surinder Sachar
Registration No. 34,423

Customer Number

22850

(703) 413-3000
Fax No. (703) 413-2220
(OSMMN 08/03)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

22.01.03 #2

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 1月24日

出 願 番 号

Application Number:

特願2002-014989

[ST.10/C]:

[JP2002-014989]

出 願 人

Applicant(s):

科学技術振興事業団

REC'D 21 MAR 2003

WIPO PCT

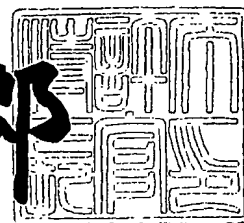
PRIORITY
DOCUMENT

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2003年 3月 4日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3012526

BEST AVAILABLE COPY

【書類名】 特許願

【整理番号】 01JST158

【提出日】 平成14年 1月24日

【あて先】 特許庁長官殿

【国際特許分類】 H03H 11/52
H01L 21/8234
H01L 27/08

【発明者】

 【住所又は居所】 埼玉県蕨市中央1-17-40-604

 【氏名】 堀尾 喜彦

【発明者】

 【住所又は居所】 神奈川県平塚市中里17-18

 【氏名】 藤原 徹哉

【発明者】

 【住所又は居所】 千葉県習志野市谷津4-8-8-208

 【氏名】 合原 一幸

【特許出願人】

 【識別番号】 396020800

 【氏名又は名称】 科学技術振興事業団

 【代表者】 沖村 憲樹

【代理人】

 【識別番号】 100089635

 【弁理士】

 【氏名又は名称】 清水 守

【手数料の表示】

 【予納台帳番号】 012128

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0013088

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 フローティングゲートMOSFETを用いた非線形抵抗回路

【特許請求の範囲】

【請求項1】 多入力フローティングゲートMOSFETを用いた Λ 字型の非線形抵抗回路とV字型の非線形抵抗回路を並列に接続し、前記 Λ 字型の非線形抵抗回路の電流と前記V字型の非線形抵抗回路の電流を加算することにより、多様なN字型電圧－電流特性を合成することを特徴とするフローティングゲートMOSFETを用いた非線形抵抗回路。

【請求項2】 請求項1記載のフローティングゲートMOSFETを用いた非線形抵抗回路において、前記N字型電圧－電流特性を連続的に変化させることを特徴とするフローティングゲートMOSFETを用いた非線形抵抗回路。

【請求項3】 請求項2記載のフローティングゲートMOSFETを用いた非線形抵抗回路において、3次から7次までの各次数の区分線形特性で近似できる電圧－電流特性を実現することを特徴とするフローティングゲートMOSFETを用いた非線形抵抗回路。

【請求項4】 請求項3記載のフローティングゲートMOSFETを用いた非線形抵抗回路において、前記3次特性は、前記 Λ 字型の非線形抵抗回路の電圧－電流特性及びV字型の非線形抵抗回路の電圧－電流特性の負性抵抗部をできるだけ線形にし、その両方の特性を、前記 Λ 字型の非線形抵抗回路の入力端子と多入力フローティングゲートMOSFETのゲート端子間の電圧及び前記V字型の非線形抵抗回路の入力端子と多入力フローティングゲートMOSFETのゲート端子間の電圧によりそれぞれ左と右方向に並行移動させて合成することを特徴とするフローティングゲートMOSFETを用いた非線形抵抗回路。

【請求項5】 請求項3記載のフローティングゲートMOSFETを用いた非線形抵抗回路において、前記4次特性は、前記 Λ 字型の非線形抵抗回路の電圧－電流特性又はV字型の非線形抵抗回路の電圧－電流特性のどちらかの特性の負性部分の傾きを調整することにより、その特性自身に傾きの変化を持たせ、前記 Λ 字型の非線形抵抗回路の入力端子と多入力フローティングゲートMOSFETのゲート端子間の電圧及び前記V字型の非線形抵抗回路の入力端子と多入力フロ

ーティングゲートMOSFETのゲート端子間の電圧によりそれぞれ左と右方向に並行移動させて合成することを特徴とするフローティングゲートMOSFETを用いた非線形抵抗回路。

【請求項6】 請求項3記載のフローティングゲートMOSFETを用いた非線形抵抗回路において、前記5次特性は、前記 Λ 字型の非線形抵抗回路の電圧－電流特性及びV字型の非線形抵抗回路の電圧－電流特性の両方の特性の負性部分の傾きを調整することにより、その特性自身に傾きの変化を持たせ、前記 Λ 字型の非線形抵抗回路の入力端子と多入力フローティングゲートMOSFETのゲート端子間の電圧及び前記V字型の非線形抵抗回路の入力端子と多入力フローティングゲートMOSFETのゲート端子間の電圧によりそれぞれ左と右方向に並行移動させて合成することを特徴とするフローティングゲートMOSFETを用いた非線形抵抗回路。

【請求項7】 請求項3記載のフローティングゲートMOSFETを用いた非線形抵抗回路において、前記6次特性は、前記 Λ 字型の非線形抵抗回路の電圧－電流特性又はV字型の非線形抵抗回路の電圧－電流特性のどちらかの特性の負性部分の傾きを調整することにより、その特性自身に傾きの変化を持たせ、前記 Λ 字型の非線形抵抗回路の電圧－電流特性及びV字型の非線形抵抗回路の電圧－電流特性の両方の特性を、前記 Λ 字型の非線形抵抗回路の入力端子と多入力フローティングゲートMOSFETのゲート端子間の電圧及び前記V字型の非線形抵抗回路の入力端子と多入力フローティングゲートMOSFETのゲート端子間の電圧によりそれぞれ横軸方向に並行移動させて合成することを特徴とするフローティングゲートMOSFETを用いた非線形抵抗回路。

【請求項8】 請求項3記載のフローティングゲートMOSFETを用いた非線形抵抗回路において、前記7次特性は、前記 Λ 字型の非線形抵抗回路の電圧－電流特性及びV字型の非線形抵抗回路の電圧－電流特性の両方の特性の負性部分の傾きを調整することにより、その特性自身に傾きの変化を持たせ、前記 Λ 字型の非線形抵抗回路の電圧－電流特性又はV字型の非線形抵抗回路の電圧－電流特性のどちらかの特性を、前記 Λ 字型の非線形抵抗回路の入力端子と多入力フローティングゲートMOSFETのゲート端子間の電圧及び前記V字型の非線形抵

抗回路の入力端子と多入力フローティングゲートMOSFETのゲート端子間の電圧によりそれぞれ横軸方向に並行移動させて合成することにより得ることを特徴とするフローティングゲートMOSFETを用いた非線形抵抗回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、フローティングゲートMOSFETを用いた非線形抵抗回路に係り、特に、多様なN字型電圧電流特性を実現する回路に関するものである。

【0002】

【従来の技術】

従来、このような分野の参考文献としては、以下に開示されるようなものがあった。

【0003】

参考文献(1)：特許第3007327号：Y. Horio, K. Watarai, and K. Aihara, "Nonlinear resistor circuits using capacitively coupled multi-input MOSFETs," IEICE Trans. Fundamentals, vol. E82-A, no. 9, pp. 1926-1936, 1999.

参考文献(2)：K. Matsuda, Y. Horio, and K. Aihara, "A simulated LC oscillator using multi-input floating-gate MOSFETs" in Proc. IEEE Int. Symp. on Circuits and Syst., vol. III, pp. 763-766, 2001.

参考文献(3)：松田欣也、天野智紀、堀尾喜彦、合原一幸、"容量性結合多入力MOSFETを用いたLC発振回路," 電子情報通信学会 第13回 回路とシステム(軽井沢)ワークショップ論文集, pp. 35-40, 2000.

参考文献(4)：松田欣也、堀尾喜彦、合原一幸、"アクティブインダクタ回路の高Q化の一手法," 信学技報 vol. NLP2001-39, pp. 37

-41, 2001.

参考文献(5): T. Matsumoto, L. O. Chua, and M. Komuro, "The double scroll," IEEE Trans. on Circuits and Syst., vol. CAS-32, no. 8, pp. 798-817, 1985.

参考文献(6): J. M. Cruz and L. O. Chua, "A CMOS IC nonlinear resistor for Chua's circuit," IEEE Trans. on Circuit and Syst., 1, vol. 39, no. 12, pp. 985-995, 1992.

従来、負の電圧-電流($V-I$)特性領域を持つ回路の1つとして、多入力フローティングゲートMOSFETを用いた非線形抵抗回路が本願発明者らによって提案されており〔上記参考文献(1)〕、インダクタシミュレーションや正弦波発振回路に応用されている〔上記参考文献(2)~(4)〕。これらの回路によれば、 Λ 字型およびV字型の非線形抵抗特性が実現でき、さらに、それらの特性は外部電圧により変更可能である。

【0004】

また、N字型の非線形抵抗特性は、中央付近に負性抵抗領域があるため、発振回路やニューロン素子等に広く応用されている。特に、3次や5次の区分線形特性で近似できるものは、LやC等と組み合わせることで、正弦波発振回路やカオス発生回路等が構成できる〔上記参考文献(5), (6)〕。

【0005】

【発明が解決しようとする課題】

本発明は、上記状況に鑑み、上記した多入力フローティングゲートMOSFETを用いた非線形抵抗回路を応用し、3次から7次までの区分線形関数で近似できるような、様々なN字型特性を実現でき、さらにそれらの特性を外部電圧により多様に変化させることができる、N字型の $V-I$ 特性を実現するフローティングゲートMOSFETを用いた非線形抵抗回路を提供することを目的とする。

【0006】

【課題を解決するための手段】

本発明は、上記目的を達成するために、

〔1〕 フローティングゲートMOSFETを用いた非線形抵抗回路において、多入力フローティングゲートMOSFETを用いた Λ 字型の非線形抵抗回路とV字型の非線形抵抗回路を並列に接続し、前記 Λ 字型の非線形抵抗回路の電流と前記V字型の非線形抵抗回路の電流を加算することにより、多様なN字型電圧－電流特性を合成することを特徴とする。

【0007】

〔2〕 上記〔1〕記載のフローティングゲートMOSFETを用いた非線形抵抗回路において、前記N字型電圧－電流特性を連続的に変化させることを特徴とする。

【0008】

〔3〕 上記〔2〕記載のフローティングゲートMOSFETを用いた非線形抵抗回路において、3次から7次までの各次数の区分線形特性で近似できる電圧－電流特性を実現することを特徴とする。

【0009】

〔4〕 上記〔3〕記載のフローティングゲートMOSFETを用いた非線形抵抗回路において、前記3次特性は、前記 Λ 字型の非線形抵抗回路の電圧－電流特性及びV字型の非線形抵抗回路の電圧－電流特性を、前記 Λ 字型の非線形抵抗回路の入力端子と多入力フローティングゲートMOSFETのゲート端子間の電圧及び前記V字型の非線形抵抗回路の入力端子と多入力フローティングゲートMOSFETのゲート端子間の電圧によりそれぞれ左と右方向に並行移動させて合成することを特徴とする。

【0010】

〔5〕 上記〔3〕記載のフローティングゲートMOSFETを用いた非線形抵抗回路において、前記4次特性は、前記 Λ 字型の非線形抵抗回路の電圧－電流特性又はV字型の非線形抵抗回路の電圧－電流特性のどちらかの特性の負性部分の傾きを調整することにより、その特性自身に傾きの変化を持たせ、前記 Λ 字型の非線形抵抗回路の入力端子と多入力フローティングゲートMOSFETのゲート端子間の電圧及び前記V字型の非線形抵抗回路の入力端子と多入力フローティン

グゲートMOSFETのゲート端子間の電圧によりそれぞれ左と右方向に並行移動させて合成することを特徴とする。

【0011】

〔6〕上記〔3〕記載のフローティングゲートMOSFETを用いた非線形抵抗回路において、前記5次特性は、前記Λ字型の非線形抵抗回路の電圧－電流特性及びV字型の非線形抵抗回路の電圧－電流特性の両方の特性の負性部分の傾きを調整することにより、その特性自身に傾きの変化を持たせ、前記Λ字型の非線形抵抗回路の入力端子と多入力フローティングゲートMOSFETのゲート端子間の電圧及び前記V字型の非線形抵抗回路の入力端子と多入力フローティングゲートMOSFETのゲート端子間の電圧によりそれぞれ左と右方向に並行移動させて合成することを特徴とする。

【0012】

〔7〕上記〔3〕記載のフローティングゲートMOSFETを用いた非線形抵抗回路において、前記6次特性は、前記Λ字型の非線形抵抗回路の電圧－電流特性又はV字型の非線形抵抗回路の電圧－電流特性のどちらかの特性の負性部分の傾きを調整することにより、その特性自身に傾きの変化を持たせ、前記Λ字型の非線形抵抗回路の電圧－電流特性及びV字型の非線形抵抗回路の電圧－電流特性の両方の特性を、前記Λ字型の非線形抵抗回路の入力端子と多入力フローティングゲートMOSFETのゲート端子間の電圧及び前記V字型の非線形抵抗回路の入力端子と多入力フローティングゲートMOSFETのゲート端子間の電圧によりそれぞれ横軸方向に並行移動させて合成することを特徴とする。

【0013】

〔8〕上記〔3〕記載のフローティングゲートMOSFETを用いた非線形抵抗回路において、前記7次特性は、前記Λ字型の非線形抵抗回路の電圧－電流特性及びV字型の非線形抵抗回路の電圧－電流特性の両方の特性の負性部分の傾きを調整することにより、その特性自身に傾きの変化を持たせ、前記Λ字型の非線形抵抗回路の電圧－電流特性又はV字型の非線形抵抗回路の電圧－電流特性のどちらかの特性を、前記Λ字型の非線形抵抗回路の入力端子と多入力フローティングゲートMOSFETのゲート端子間の電圧及び前記V字型の非線形抵抗回路の

入力端子と多入力フローティングゲートMOSFETのゲート端子間の電圧によりそれぞれ横軸方向に並行移動させて合成することを特徴とする。

【0014】

【発明の実施の形態】

以下、本発明の実施の形態について詳細に説明する。

【0015】

まず、N字型非線形抵抗回路について説明する。ここで、 Λ のサフィクスは表示の都合上、 \underline{A} として表示することにする。

【0016】

図1は本発明にかかるフローティングゲートMOSFETを用いたN字型非線形抵抗回路図、図2は図1中の各種の $V_{xy}-I_{\underline{A}}$ 特性（数値シミュレーション）図であり、図2（a）は $V_{\underline{x}\underline{A}}$ 、図2（b）は $V_{\underline{y}\underline{A}}$ 、図2（c）は $V_{\underline{n}\underline{A}}$ 、図2（d）は $V_{\underline{p}\underline{A}}$ をパラメータとしたときの特性図、図3は図1中の各種の $V_{xy}-I_{\underline{V}}$ 特性（数値シミュレーション）図であり、図3（a）は $V_{\underline{x}\underline{V}}$ 、図3（b）は $V_{\underline{y}\underline{V}}$ 、図3（c）は $V_{\underline{n}\underline{V}}$ 、図3（d）は $V_{\underline{p}\underline{V}}$ をパラメータとしたときの特性図である。

【0017】

図1に示すように、この回路は多入力フローティングゲートMOSFETを用いた Λ 字型の非線形抵抗回路1とV字型の非線形抵抗回路2〔参考文献（1）〕を並列に接続した構成である。図2および図3に、図1中の $\underline{I_{\underline{A}}}$ および $\underline{I_{\underline{V}}}$ の V_{xy} に対する非線形抵抗特性をそれぞれ示している。

【0018】

まず、 Λ 字型の非線形抵抗回路1について説明する。

【0019】

図1に示すように、容量結合多入力PチャネルMOSFETである $M_{\underline{p}\underline{A}}$ は、通常のPMOSFETのゲート端子に、キャパシタ $C_{\underline{p}2\underline{A}}$ と $C_{\underline{p}1\underline{A}}$ を結合し、それらを入力端子とする。このようにキャパシタ $C_{\underline{p}2\underline{A}}$ と $C_{\underline{p}1\underline{A}}$ を介して入力を加えることにより、PMOSFET・ $M_{\underline{p}\underline{A}}$ のゲート端子は等価的にフローティングとなる。また、この $M_{\underline{p}\underline{A}}$ には直列にNチャネルMOSFETである $M_{\underline{n}\underline{A}}$ が接続されている。

【0020】

次に、V字型の非線形抵抗回路2について説明する。

【0021】

図1に示すように、容量結合多入力NチャネルMOSFETである M_{nV} は、通常のNMOSFETのゲート端子に、キャパシタ C_{n1V} と C_{n2V} を結合し、それらを入力端子とする。このようにキャパシタ C_{n1V} と C_{n2V} を介して入力を加えることにより、NMOSFET・ M_{nA} のゲート端子は等価的にフローティングとなる。また、この M_{nV} には直列にPチャネルMOSFETである M_{pV} が接続されている。

【0022】

これらの図1および図2に示すように、図1中の各電圧により、様々な $V_{xy}-I_A$ および $V_{xy}-I_V$ 特性が得られることが分かる〔参考文献(1)〕。図1に示す回路では I_A と I_V を加算することにより、多様なN字型 $V_{xy}-I_N$ 特性を合成することができる。

【0023】

図1中の I_A および I_V の各制御電圧に対する特性を記述する理論式は、参考文献(1)中に示されている。ここではそれらの特性を簡単に

$$I_A = f_A(V_{xy}, V_{xA}, V_{yA}, V_{nA}, V_{pA}), \quad \dots (1)$$

$$I_V = f_V(V_{xy}, V_{xV}, V_{yV}, V_{nV}, V_{pV}), \quad \dots (2)$$

と表すことにする。この時、図1より

$$\begin{aligned} I_N &= I_A + I_V \\ &= f_A(V_{xy}, V_{xA}, V_{yA}, V_{nA}, V_{pA}) \\ &\quad + f_V(V_{xy}, V_{xV}, V_{yV}, V_{nV}, V_{pV}) \end{aligned} \quad \dots (3)$$

と表すことができる。

【0024】

図4は本発明にかかる区分線形に近似した $V-I$ 特性図であり、図4(a)は3次特性、図4(b)は4次特性、図4(c)は5次特性、図4(d)は6次特性、図4(e)は7次特性を示している。

【0025】

図1で得られる $V_{xy} - I_N$ 特性は、連続的に変化できるが、以下ではこの特性を図4に示すような3次から7次までの区分線形の特性に近似して説明する。ここで、線形区間の数を次数と呼ぶ。また、各線形区間の端点をブレイクポイントと呼ぶ。

【0026】

ここで、図4中の各次数の特性を実現する方法を簡単に定性的に述べる。

【0027】

まず、図4(a)に示す3次特性は、図2および図3の $V_{xy} - I_A$ および $V_{xy} - I_V$ 特性を、図1中の V_{xA} および V_{xV} によりそれぞれ左と右方向に並行移動させて合成することで得られる。この際、 $V_{xy} - I_N$ 特性の中央付近が全体として1つの線形区分になるようにすればよい。このためには Λ 字型およびV字型の特性の負性部分ができるだけ線形であることが望ましい。すなわち、 V_{nA} 、 V_{pA} 、 V_{nV} 、 V_{pV} の設定が重要である。この様子を図5に示す。

【0028】

これと同様に4次から7次の特性が実現できる。これらの特性は3次特性とは異なり、特性の中央部分にもブレイクポイントが必要となる。これは、特に図1中の V_{pA} および V_{nV} を調整することで実現可能である。4次特性は $V_{xy} - I_A$ または $V_{xy} - I_V$ のどちらかの特性の負性部分の傾きを調節することにより実現でき、5次特性は Λ 字型およびV字型の特性の両方を同時にそのようにすることにより実現できる。また、6次特性は、4次特性で用いた Λ 字型およびV字型の特性を、図1中の V_{xA} および V_{xV} によりそれぞれ横軸方向に並行移動して実現する。さらに、7次特性は、5次特性を元に、同様の方法で得られる。

【0029】

これら3次から7次の全ての特性において、各ブレイクポイントおよび区分線形部分の傾きを変化させることができる。このことを、通常よく用いられる3次と5次の特性を例に挙げて以下に詳しく説明する。

【0030】

(1) 3次特性

以下の方法で、図4(a)中のブレイクポイントの電流軸座標 I_{BP-} および I

B_{P+} を固定し、電圧軸座標 V_{BP-} および V_{BP+} を変えることで傾き m_0 のみを変化させることができる。まず、 V_{BP-} および V_{BP+} を V_{xA} および V_{xV} により決定しておく。次いで、これらを変化させないようにしながら V_{nA} , V_{pA} , V_{nV} , V_{pV} の各電圧により I_{BP-} および I_{BP+} を調整し m_0 を決定する。この場合、 I_{BP-} と I_{BP+} を固定しておくことが必要であるため、特に V_{pA} と V_{nV} が重要なパラメータとなる。

【0031】

次に、傾き m_0 を固定してブレイクポイント B_{P-} , B_{P+} を調整する方法を示す。まず、 V_{BP-} , V_{BP+} を V_{xA} および V_{xV} により決定し、次に、これを主に V_{nA} および V_{pV} により、電圧軸方向に拡大あるいは縮小してブレイクポイントを移動させる。

【0032】

(2) 5次特性

5次特性でも、図4(c)中の B_{P1-} , B_{P1+} , B_{P2-} および B_{P2+} の4つのブレイクポイントを固定し、傾き m_0 および m_1 のそれぞれを調整可能である。 m_0 のみの変化では、 Λ 字型およびV字型特性の負性抵抗部分の傾きの変化を利用するため、 V_{pA} , V_{nV} が重要なパラメータになる。 m_1 の調整は、 V_{yA} および V_{yV} で可能であり、その後、他の電圧によりブレイクポイントを調整する。

【0033】

また、次のようにして傾き m_0 および m_1 を固定しながら、各ブレイクポイントを変化できる。 B_{P1-} あるいは B_{P1+} の変化は、 V_{nA} および V_{pV} により特性を縦軸方向に拡大しながら、 m_1 の区分線形部分の長さを変化させることにより実現できる。 B_{P2-} あるいは B_{P2+} の調整は、3次特性のブレイクポイントの変化と同様に V_{xA} および V_{xV} により電流軸方向の拡大あるいは縮小で可能である。この際、他の制御電圧による微調整を要する。

【0034】

〔数値シミュレーション〕

以下、参考文献(1)で導出された簡単なMOSFETモデルによるV-I特性式を用いたコンピュータシミュレーションにより、上記した3次から7次のN

字型非線形抵抗特性を確認する。特に、3次および5次の特性については、ブレイクポイントおよび傾きそれぞれの調整の様子を詳しく示す。シミュレーション実験では、図1中の各NMOSおよびPMOSFETのトランスコンダクタンスパラメータ： $K_n = K_p = 300 \mu A/V^2$ 、NMOSFETの閾値電圧： $V_{tn} = 0.55 V$ 、PMOSFETの閾値電圧： $V_{tp} = -0.8 V$ とした。さらに、図1で $C_{p1A} = C_{p2A} = C_{n1V} = C_{n2V} = 0.1 pF$ とした。

【0035】

(1) 3次非線形抵抗特性

図6に表1中の各電圧値を用いた場合に得られる3次区分線形近似が可能な特性を示す。図6中のAの特性とCの特性は、 m_0 が同じでブレイクポイントのみ異なる。これに対し、Bの特性は、 I_{BP-} および I_{BP+} をCと同じに設定し、傾き m_0 を変えたものである。これらより、図4(a)に示したブレイクポイント B_{P-} 、 B_{P+} 、および傾き m_0 をそれぞれ変化できることが分かる。

【0036】

【表1】

図1中の電圧	図6中の特性		
	A	B	C
$V_{xA} [V]$	-5.9	-5.9	-4.4
$V_{yA} [V]$	0	0	0
$V_{nA} [V]$	3.7	2.5	2.95
$V_{pA} [V]$	-4.1	-5.3	-4.1
$V_{xV} [V]$	5.9	5.9	4.4
$V_{yV} [V]$	0	0	0
$V_{nV} [V]$	3.7	5.9	3.7
$V_{pV} [V]$	-3.9	-2.7	-3.15

また、図6と表1を見ると、ブレイクポイントは V_{nA} および V_{pV} に依存し、傾き m_0 は V_{pA} および V_{nV} により大きく変化することが分かる。

【0037】

(2) 5次非線形抵抗特性

図7、図8および図9にシミュレーションで得られた、5次の区分線形特性で

近似可能な $V_{xy} - I_N$ 特性の例を示す。また、これらの図中の各特性に対応する制御電圧の値を表 2 から表 4 にそれぞれ示す。

【0038】

【表 2】

	図 7 中の特性		
図 1 中の電圧	A	B	C
$V_{x\Lambda}$ [V]	-3.95	-3.95	-4.05
$V_{y\Lambda}$ [V]	0	0.1	0.38
$V_{n\Lambda}$ [V]	1.55	1.55	1.65
$V_{p\Lambda}$ [V]	-5.15	-5.4	-4.2
V_{xV} [V]	3.95	3.95	4.05
V_{yV} [V]	0	-0.1	-0.38
V_{nV} [V]	4.65	4.9	3.7
V_{pV} [V]	-1.8	-1.8	-1.9

【0039】

【表 3】

	図 8 中の特性		
図 1 中の電圧	A	B	C
$V_{x\Lambda}$ [V]	-3.7	-3.9	-4.1
$V_{y\Lambda}$ [V]	0	0.1	0.13
$V_{n\Lambda}$ [V]	1.35	1.525	1.7
$V_{p\Lambda}$ [V]	-5	-5.7	-6.1
V_{xV} [V]	3.7	3.9	4.1
V_{yV} [V]	0	-0.1	-0.13
V_{nV} [V]	4.7	5.2	5.6
V_{pV} [V]	-1.6	-1.775	-1.95

【0040】

【表 4】

図 1 中の電圧	図 9 中の特性		
	A	B	C
V_{xA} [V]	-3.4	-3.95	-5
V_{yA} [V]	0.135	0.1	0.1
V_{nA} [V]	1.535	1.55	1.55
V_{pA} [V]	-4.93	-5	-6.1
V_{xV} [V]	3.4	3.95	5
V_{yV} [V]	-0.135	-0.1	-0.1
V_{nV} [V]	4.43	4.5	5.5
V_{pV} [V]	-1.765	-1.8	-1.8

図 7 中の曲線 B と C は図 4 (c) 中の 4 つのブレイクポイントの電圧座標を固定したまま傾き m_0 を変化させた例である。同様に、曲線 A と B は傾き m_1 を変化させた例である。これらと表 2 より、傾き m_0 を調整する際は V_{nA} と V_{pV} をほぼ一定に保ちながら V_{pA} と V_{nV} を変化させればよいことが分かる。さらに傾き m_1 については、 V_{yA} と V_{yV} で特性の概略を決定し、さらに V_{pA} と V_{nV} を用いて調整すればよい。

【0041】

一方、図 8 と表 3 は、図 4 (c) 中の傾き m_0 と m_1 を固定してブレイクポイント B_{p1-} と B_{p1+} を調整した例、図 9 と表 4 は、 B_{p2+} と B_{p2-} を調整した例である。これらのシミュレーション実験より、 B_{p1+} は V_{pV} に、 B_{p1-} は V_{nA} にそれぞれ依存していること、および、 B_{p2+} は V_{xV} と V_{nV} 、 B_{p2-} は V_{xA} と V_{pA} でそれぞれ決定できることが分かる。

【0042】

(3) 4 次、6 次および 7 次非線形抵抗特性

図 10 は 4 次、図 11 は 6 次、図 12 は 7 次の非線形抵抗特性をそれぞれ示している。これらの特性で使用した図 1 中の各電圧を表 5、表 6 および表 7 にそれぞれ示す。

【0043】

【表 5】

図 1 中の電圧	図 10 中の特性	
	A	B
$V_{x\Lambda}$ [V]	-4.4	-4.4
$V_{y\Lambda}$ [V]	0	0
$V_{n\Lambda}$ [V]	2.6	1.55
$V_{p\Lambda}$ [V]	-4	-6
V_{xV} [V]	4.4	4.4
V_{yV} [V]	0	0
V_{nV} [V]	5.5	3.7
V_{pV} [V]	-1.8	-2.75

【 0 0 4 4 】

【表 6】

図 1 中の電圧	図 11 中の特性	
	A	B
$V_{x\Lambda}$ [V]	-6	-6
$V_{y\Lambda}$ [V]	0	0
$V_{n\Lambda}$ [V]	2.6	1.55
$V_{p\Lambda}$ [V]	-4	-6
V_{xV} [V]	6	6
V_{yV} [V]	0	0
V_{nV} [V]	5.5	3.7
V_{pV} [V]	-1.8	-2.75

【 0 0 4 5 】

【表 7】

図 1 中の電圧	
$V_{x\Lambda}$ [V]	-5.5
$V_{y\Lambda}$ [V]	0.1
$V_{n\Lambda}$ [V]	1.55
$V_{p\Lambda}$ [V]	-5.4
V_{xV} [V]	5.5
V_{yV} [V]	-0.1
V_{nV} [V]	4.9
V_{pV} [V]	-1.8

表 1 C および表 5 より 4 次の特性は、3 次特性を元に $V_{n\Lambda}$, $V_{p\Lambda}$, V_{nV} および V_{pV} を変化させることで得られることが分かる。さらに、表 5 と表 6 および表 2 B と表 7 より、6 次および 7 次の特性はそれぞれ 4 次および 5 次の特性を元にし、さらに $V_{x\Lambda}$ と V_{xV} を変化させることで得られることが分かる。

【0046】

〔HSPICE シミュレーション〕

MOSIS TSMC 0.35 μm CMOS プロセスパラメータを使用し、図 1 中の $M_{n\Lambda}$, M_{nV} のサイズを共に $W=20\text{ }\mu\text{m}$, $L=0.4\text{ }\mu\text{m}$, $M_{p\Lambda}$, M_{pV} のそれを共に $W=60\text{ }\mu\text{m}$, $L=0.4\text{ }\mu\text{m}$ とした。またキャパシタの値を $C_{p1\Lambda} = C_{p2\Lambda} = C_{n1V} = C_{n2V} = 0.1\text{ pF}$ とした場合の HSPICE による回路シミュレーションの結果を図 13 に示す。これらの特性は、上記した 3 次から 7 次までのシミュレーション特性にそれぞれ対応している。

【0047】

上記したように、多入力フローティングゲート MOSFET を用いた N 字型非線形抵抗回路を提供することができる。さらに、数値計算と HSPICE シミュレーションにより $V-I$ 特性の例を示し、どの様に各特性を実現するかについて定性的に説明した。

【0048】

〔個別部品による実験〕

この実施例では、図14の回路を個別部品により構成し、 $V_{xy}-I_N$ 特性を測定した。回路は図14に示す構成とした。回路中の M_{nA} 11, M_{nV} 12は共に2SK612、 M_{pA} 13, M_{pV} 14は共に2SJ133を使用した。さらに、キャパシタ C_{p1A} 15, C_{p2A} 16, C_{n1V} 17, C_{n2V} 18の値を $0.1\mu F$ としたときの実験結果を、図15から図19に示し、それぞれの特性を実現する図14中の各電圧値を表8から表12に示す。

【0049】

すなわち、図15には、この3次 $V_{xy}-I_N$ 特性の個別部品による実験結果が示されており、図14における各電圧の値は、表8に示されるように、 V_A は $-0.7V$ 、 V_{nA} は $1.55V$ 、 V_{pA} は $-4.69V$ 、 V_V は $0.7V$ 、 V_{nV} は $3.23V$ 、 V_{pV} は $-2.32V$ である。

【0050】

【表8】

図14中の電圧	
V_A [V]	-0.7
V_{nA} [V]	1.55
V_{pA} [V]	-4.69
V_V [V]	0.7
V_{nV} [V]	3.23
V_{pV} [V]	-2.32

また、図16には、この4次 $V_{xy}-I_N$ 特性の個別部品による実験結果が示されており、図14における各電圧の値は、表9に示されるように、 V_A は $-1.6V$ 、 V_{nA} は $1.46V$ 、 V_{pA} は $-5.65V$ 、 V_V は $1V$ 、 V_{nV} は $3.43V$ 、 V_{pV} は $-2.28V$ である。

【0051】

【表 9】

図 14 中の 電 圧	
V_A [V]	-1.6
V_{nA} [V]	1.46
V_{pA} [V]	-5.65
V_V [V]	1
V_{nV} [V]	3.43
V_{pV} [V]	-2.28

また、図 17 には、この 5 次 $V_{xy} - I_N$ 特性の個別部品による実験結果が示されており、図 14 における各電圧の値は、表 10 に示されるように、 V_A は -1.5 V、 V_{nA} は 1.46 V、 V_{pA} は -5.65 V、 V_V は 1.5 V、 V_{nV} は 4.23 V、 V_{pV} は -2.18 V である。

【0052】

【表 10】

図 14 中の 電 圧	
V_A [V]	-1.5
V_{nA} [V]	1.46
V_{pA} [V]	-5.65
V_V [V]	1.5
V_{nV} [V]	4.23
V_{pV} [V]	-2.18

また、図 18 には、この 6 次 $V_{xy} - I_N$ 特性の個別部品による実験結果が示されており、図 14 における各電圧の値は、表 11 に示されるように、 V_A は -2.1 V、 V_{nA} は 1.46 V、 V_{pA} は -5.65 V、 V_V は 1.6 V、 V_{nV} は 3.43 V、 V_{pV} は -2.28 V である。

【0053】

【表 1 1】

図 14 中の 電 圧	
V_A [V]	-2.1
V_{nA} [V]	1.46
V_{pA} [V]	-5.65
V_V [V]	1.6
V_{nV} [V]	3.43
V_{pV} [V]	-2.28

最後に、図 19 には、この 7 次 $V_{xy} - I_N$ 特性の個別部品による実験結果が示されており、図 14 における各電圧の値は、表 12 に示されるように、 V_A は -2.1 V、 V_{nA} は 1.46 V、 V_{pA} は -5.65 V、 V_V は 2.1 V、 V_{nV} は 4.23 V、 V_{pV} は -2.18 V である。

【0054】

【表 1 2】

図 14 中の 電 圧	
V_A [V]	-2.1
V_{nA} [V]	1.46
V_{pA} [V]	-5.65
V_V [V]	2.1
V_{nV} [V]	4.23
V_{pV} [V]	-2.18

また、電流 I_N は図 14 のノード A とノード B 間（上記した非線形抵抗回路の電源側）間に抵抗 R (19) を挿入し、その電圧降下を計測アンプ (INA114) 20 で増幅し、その増幅された出力電圧から以下の式 (4) ~ (6) により求めた。ここで、 R_G は計測アンプ 20 のゲイン G を決定する抵抗であり、 $R_G = 10 \text{ k}\Omega$ とした。また、 $R = 33 \Omega$ 、出力抵抗 $R_0 = 10 \text{ k}\Omega$ とした。

【0055】

$$V_0 = G \cdot (V_{IN}^+ - V_{IN}^-) \quad \dots (4)$$

$$G = 1 + (50 \text{ k}\Omega / R_G) \quad \dots (5)$$

$$I_N = V_0 / G \cdot R \quad \dots (6)$$

本発明によれば、回路中の制御電圧を調整することで、3次から7次までの区分線形近似が可能な様々な形状のV-I特性を得ることができる。さらに、これを集積回路化し、発振回路やカオス発生回路等に応用することができる。

【0056】

より詳細には、上記した本発明のN字型非線形抵抗回路のN字型の非線形抵抗特性は、中央付近に負性抵抗領域があるため、発振回路やニューロン素子等に広く応用されている。特に、3次や5次の区分線形特性で近似できるものは、LやC等と組み合わせることで、正弦波発振回路やカオス発生回路等が構成できる。

【0057】

また、上記したように、3次から7次までの各次数の区分線形特性で近似できるV-I特性が実現可能であり、さらに、これらのV-I特性は、外部電圧により容易に、かつ、多様に変化させることができる。また、4次や6次の特性はあまり広く応用されていないが、これらをも容易に実現できるため、新しく発振回路等への応用が期待される。

【0058】

さらに、本発明のフローティングゲートMOSFETを用いたN字型非線形抵抗回路は、標準的なCMOS半導体プロセスで実装可能であり、各種応用回路の集積回路化を可能にすることができる。

【0059】

また、N字型の電圧電流特性を持つ回路は、正弦波発振回路やダブルスクロール型のカオス発振回路、ニューロン素子に広く使用することができる。この回路構成は集積回路化が容易であるため、正弦波あるいはカオス発振波形が必要な多種の集積回路に応用可能である。また、従来あまり利用されていない4次や6次の非線形特性も実現できるため、新しい回路への応用も期待できる。

【0060】

なお、本発明は上記実施例に限定されるものではなく、本発明の趣旨に基づいて種々の変形が可能であり、これらを本発明の範囲から排除するものではない。

【0061】

【発明の効果】

以上、詳細に説明したように、本発明によれば、以下のような効果を奏することができる。

【0062】

(1) 3次から7次までの区分線形関数で近似できるような、様々なN字型V-I特性を実現でき、さらにそれらの特性を外部電圧により多様に変化させることができる。

【0063】

(2) 標準的なCMOS半導体プロセスで実装可能であり、各種応用回路の集積回路化を可能にすることができる。

【図面の簡単な説明】

【図1】

本発明にかかるフローティングゲートMOSFETを用いたN字型非線形抵抗回路図である。

【図2】

図1中の各種の $V_{xy}-I_A$ 特性(数値シミュレーション)図である。

【図3】

図1中の各種の $V_{xy}-I_V$ 特性(数値シミュレーション)図である。

【図4】

本発明にかかる区分線形に近似したV-I特性図である。

【図5】

本発明にかかる3次N字型V-I特性の合成原理図である。

【図6】

本発明にかかる3次の区分線形近似が可能な非線形抵抗特性の例(数値シミュレーション)を示す図である。

【図7】

本発明にかかる5次の非線形抵抗特性の例(ブレイクポイントの電圧座標を固定し傾き m_0 あるいは m_1 を変化させた例)を示す図である。

【図8】

本発明にかかる 5 次の非線形抵抗特性の例（傾き m_0 と m_1 及びブレイクポイント B_{P2-} と B_{P2+} を固定し、 B_{P1-} と B_{P1+} を変化させた例）を示す図である。

【図 9】

本発明にかかる 5 次の非線形抵抗特性の例（傾き m_0 と m_1 及びブレイクポイント B_{P1-} と B_{P1+} を固定し、 B_{P2-} と B_{P2+} を変化させた例）を示す図である。

【図 1 0】

本発明にかかる 4 次の非線形抵抗特性の例を示す図である。

【図 1 1】

本発明にかかる 6 次の非線形抵抗特性の例を示す図である。

【図 1 2】

本発明にかかる 7 次の非線形抵抗特性の例を示す図である。

【図 1 3】

HSPICE による回路シミュレーションの結果を示す図である。

【図 1 4】

個別部品による実験回路を示す図である。

【図 1 5】

個別部品による実験により得られた 3 次 $V_{xy} - I_N$ 特性図である。

【図 1 6】

個別部品による実験により得られた 4 次 $V_{xy} - I_N$ 特性図である。

【図 1 7】

個別部品による実験により得られた 5 次 $V_{xy} - I_N$ 特性図である。

【図 1 8】

個別部品による実験により得られた 6 次 $V_{xy} - I_N$ 特性図である。

【図 1 9】

個別部品による実験により得られた 7 次 $V_{xy} - I_N$ 特性図である。

【符号の説明】

- 1 Λ字型の非線形抵抗回路

2 V字型の非線形抵抗回路

11 NチャネルMOSFET ($M_{\underline{nA}}$)

12 容量結合多入力NチャネルMOSFET (M_{nV})

13 容量結合多入力PチャネルMOSFET ($M_{\underline{pA}}$)

14 PチャネルMOSFET (M_{pV})

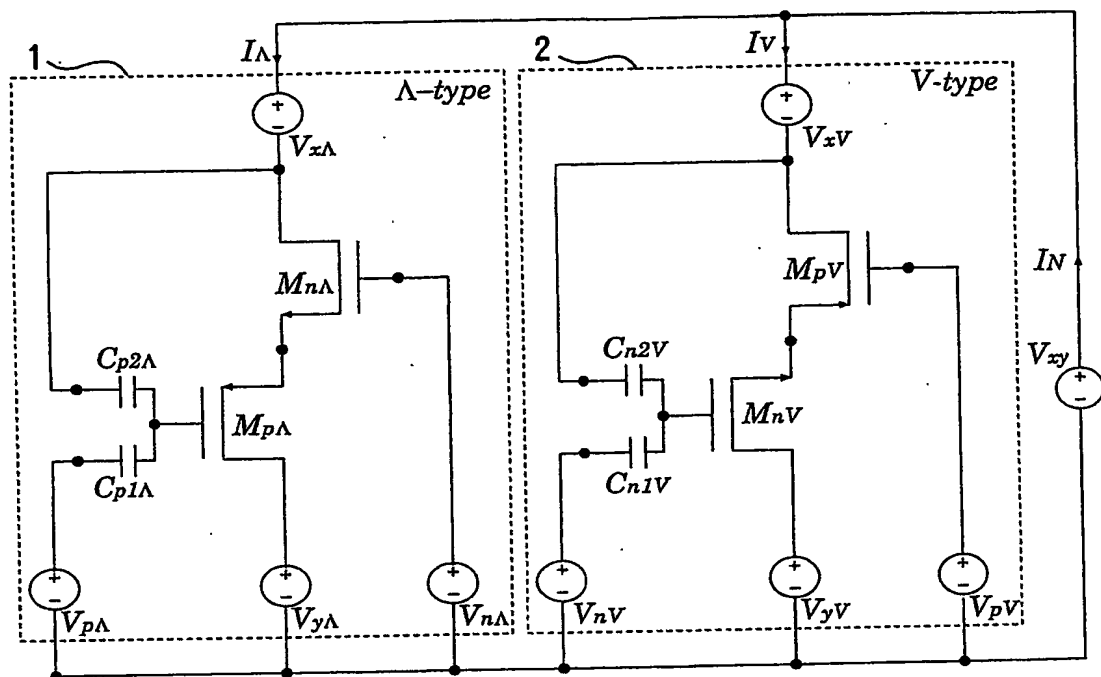
15, 16, 17, 18 キャパシタ $C_{\underline{p1A}}$, $C_{\underline{p2A}}$, C_{n1V} , C_{n2V}

19 抵抗R

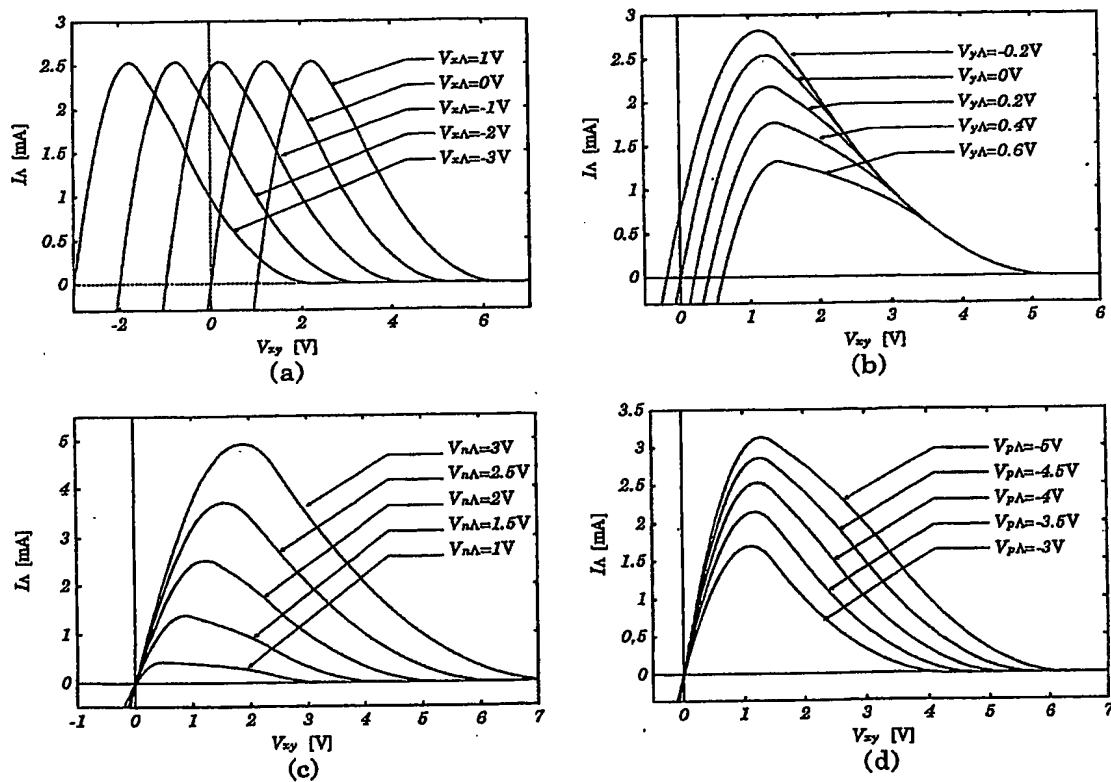
20 計測アンプ

【書類名】 図面

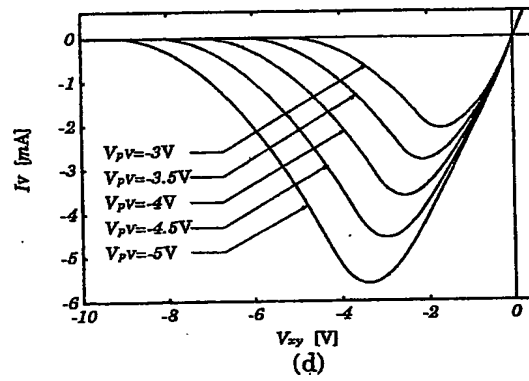
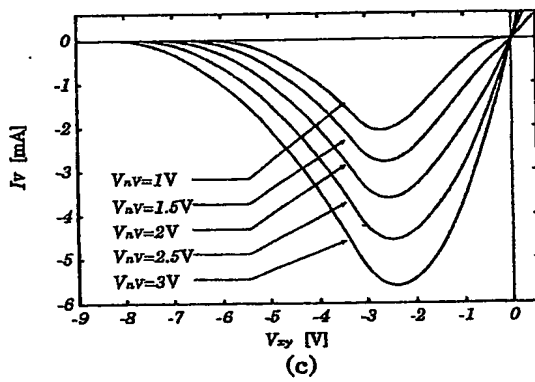
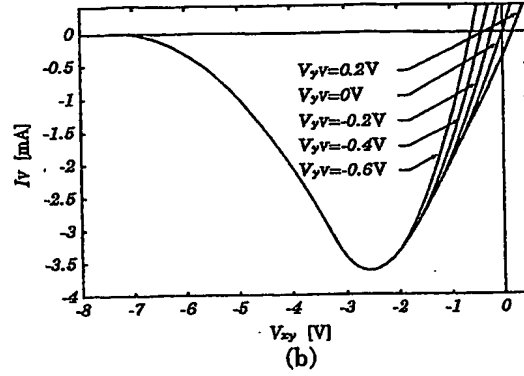
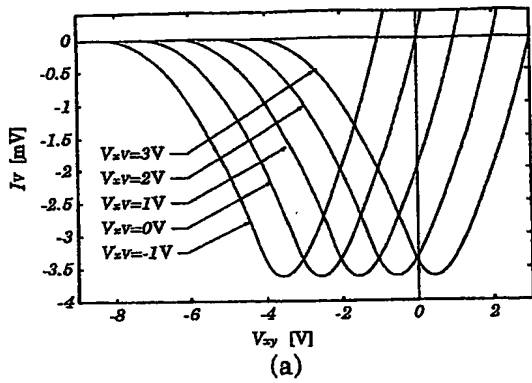
【図 1】



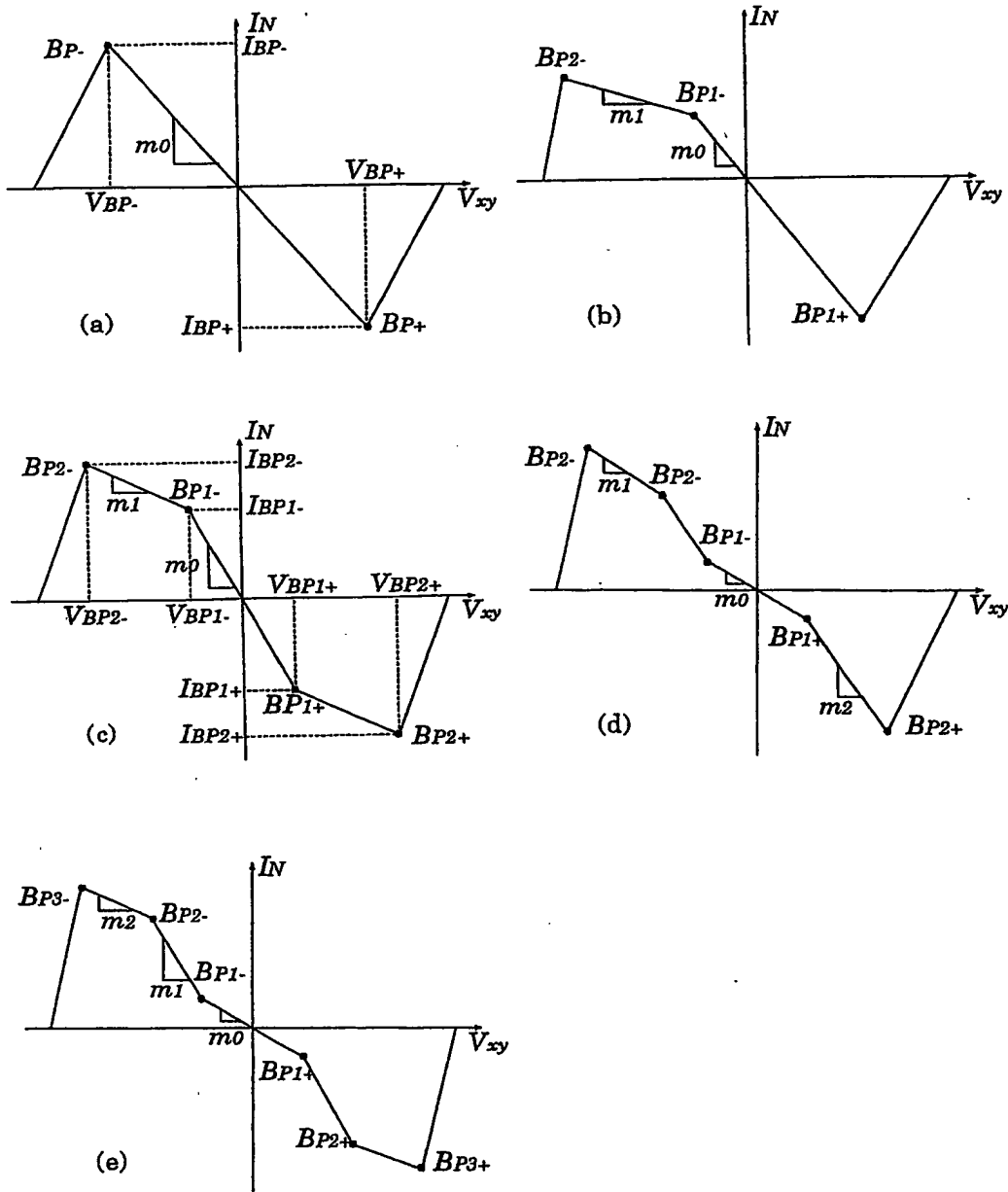
【図 2】



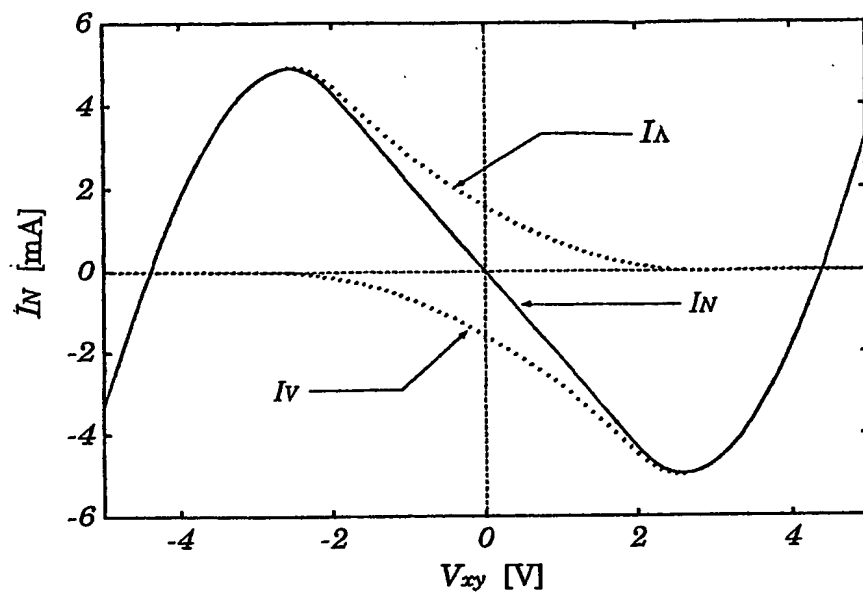
【図 3】



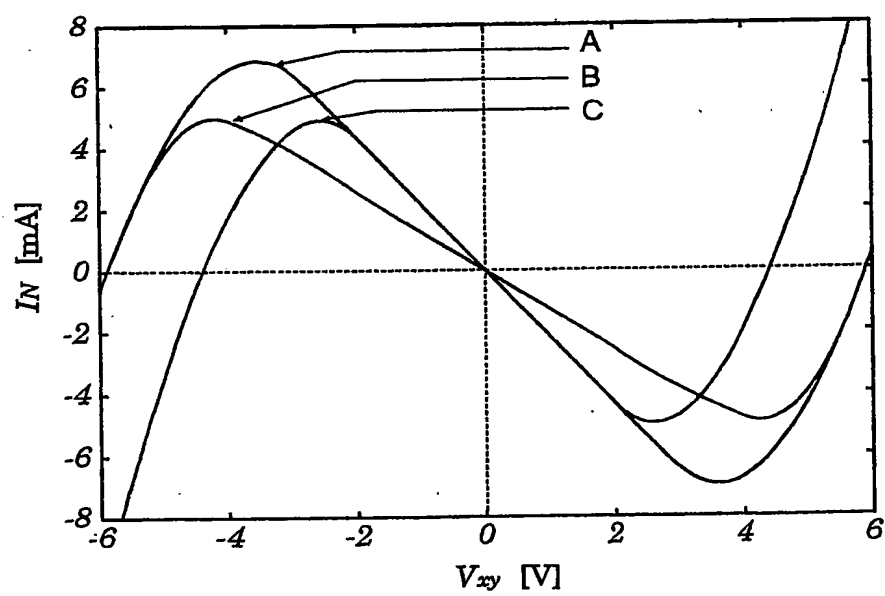
【図 4】



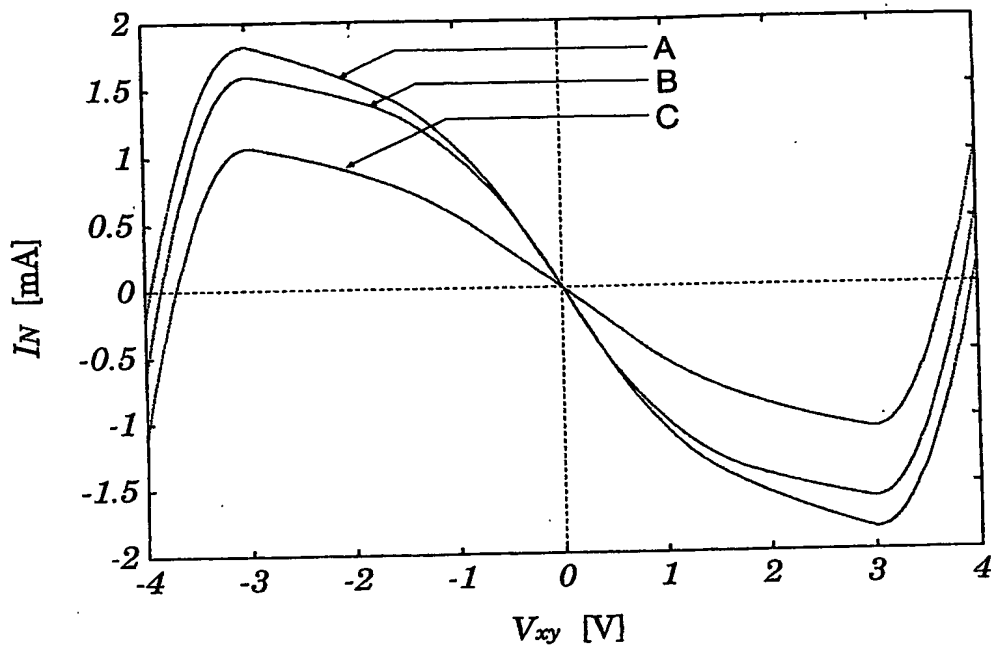
【図5】



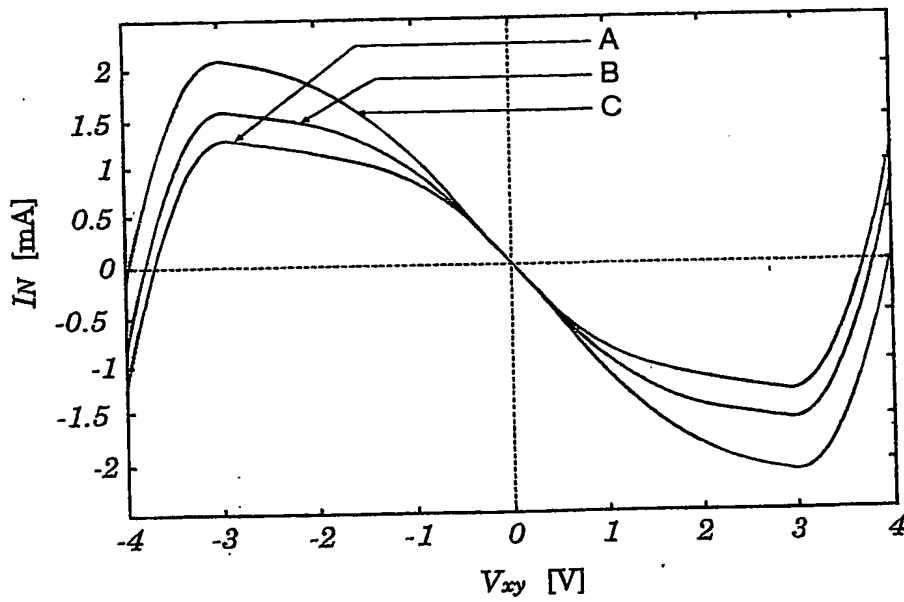
【図6】



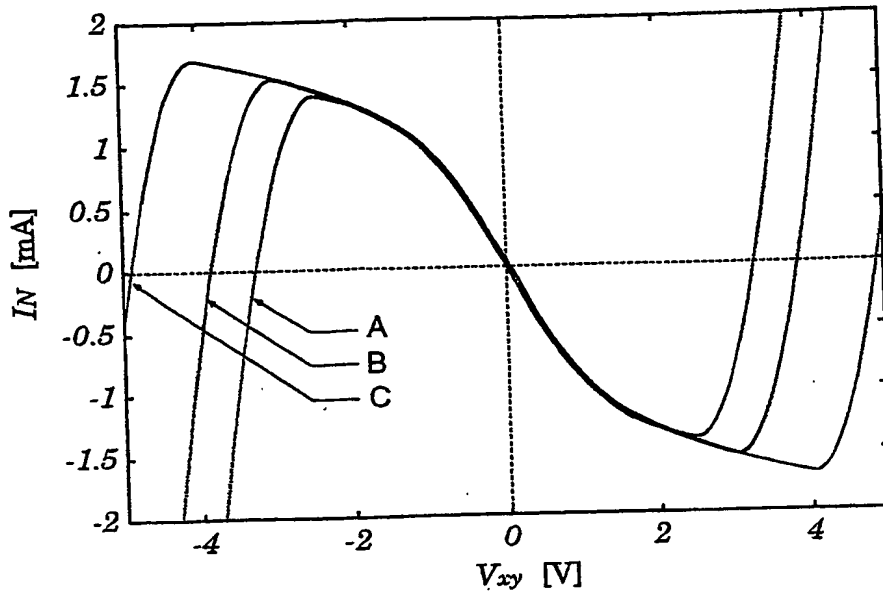
【図7】



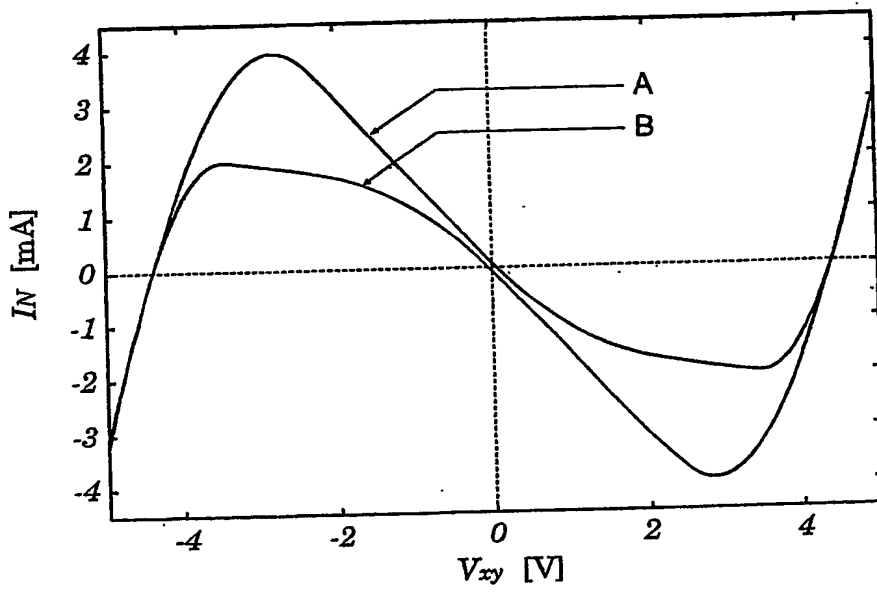
【図8】



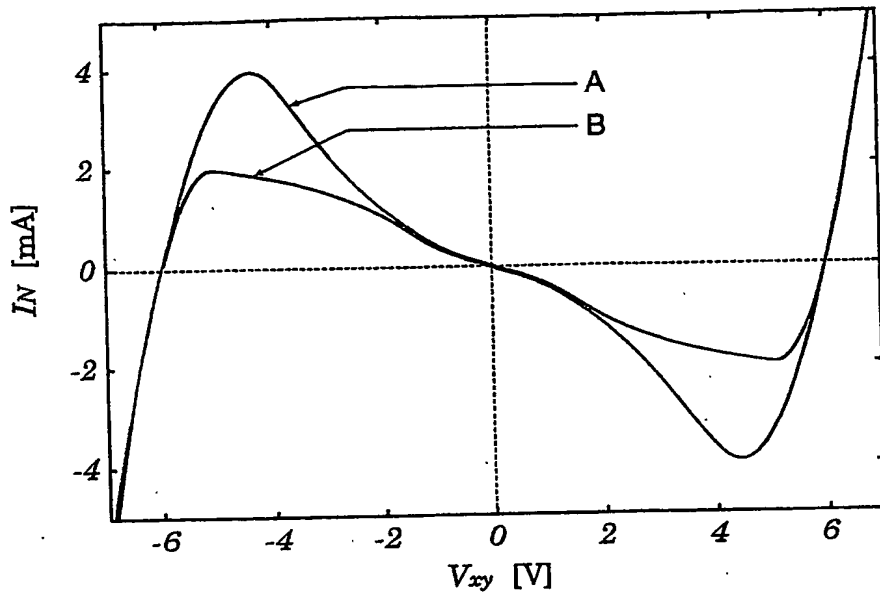
【図 9】



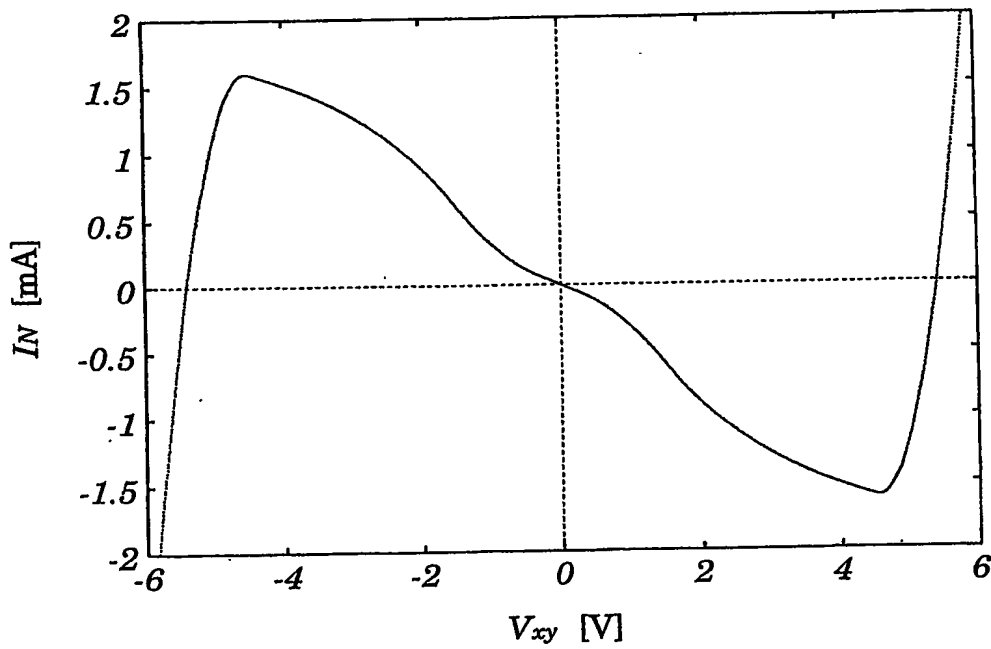
【図 10】



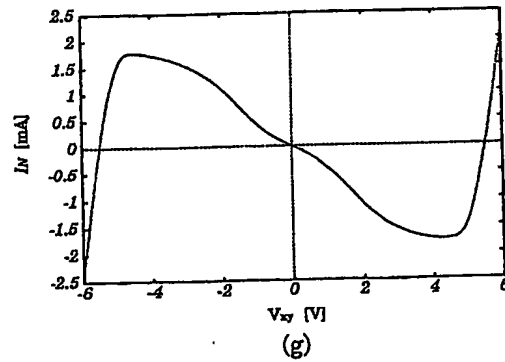
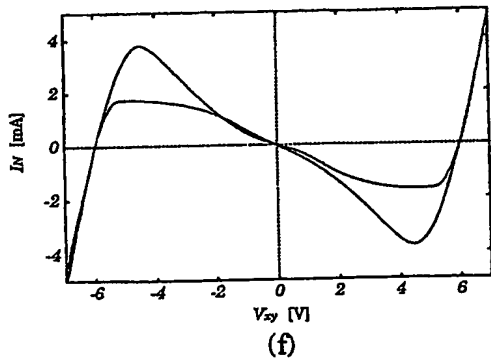
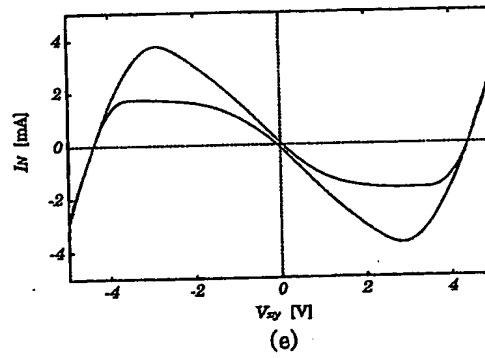
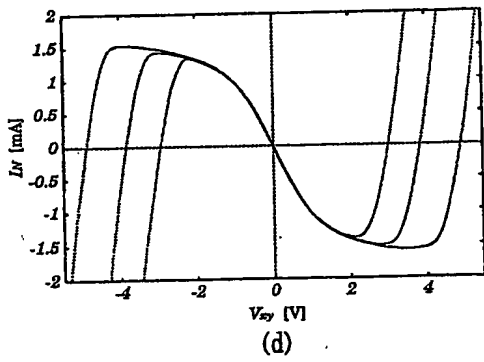
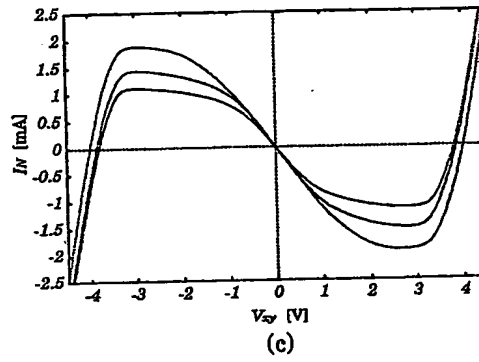
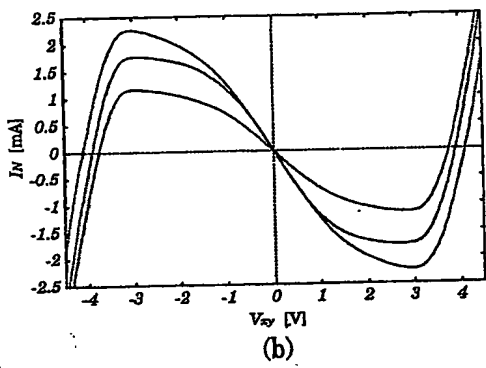
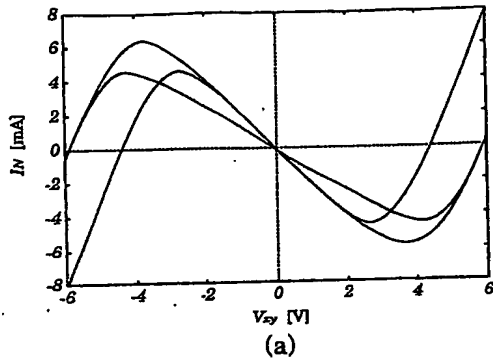
【図 1 1】



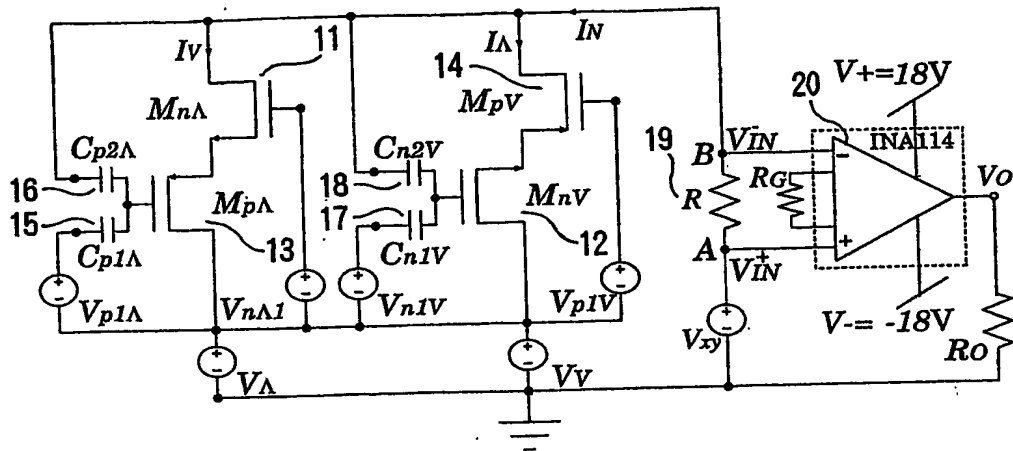
【図 1 2】



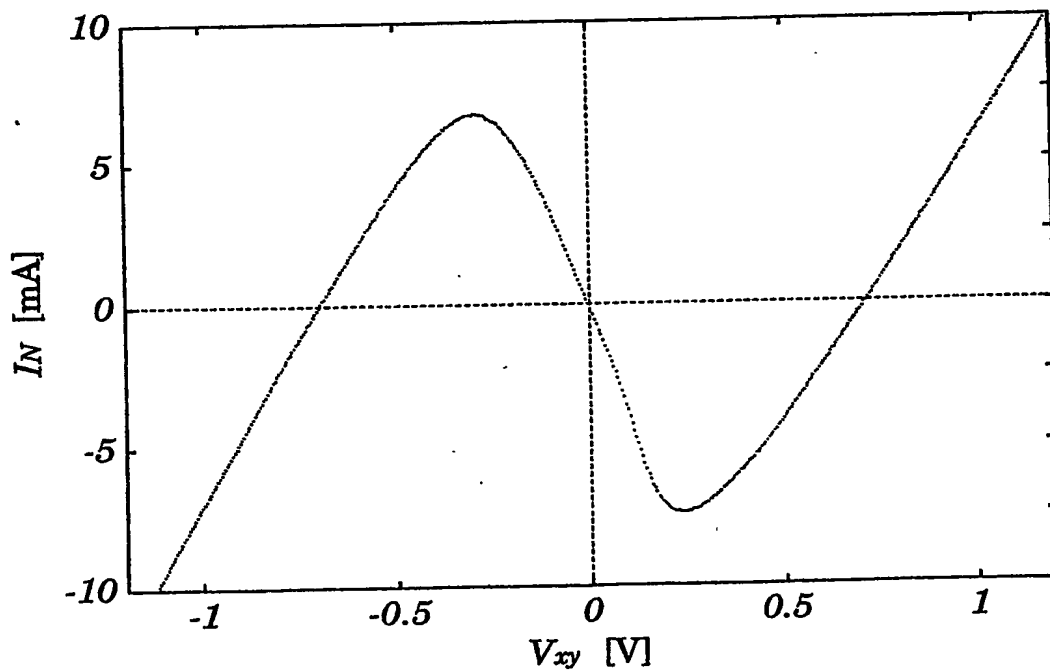
【図13】



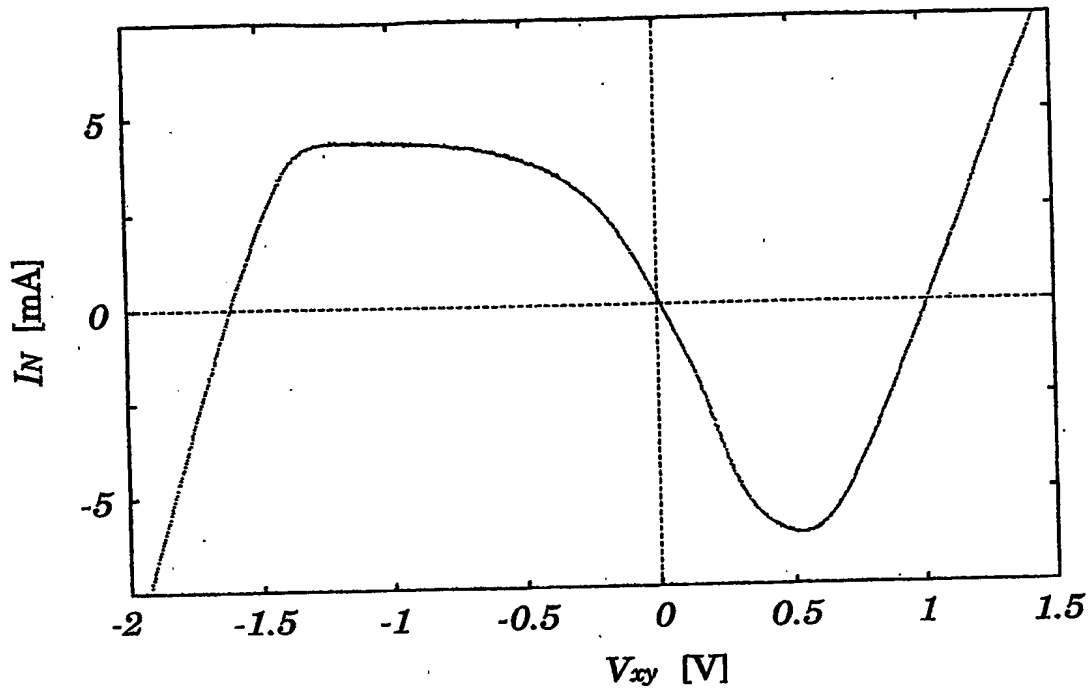
【图 14】



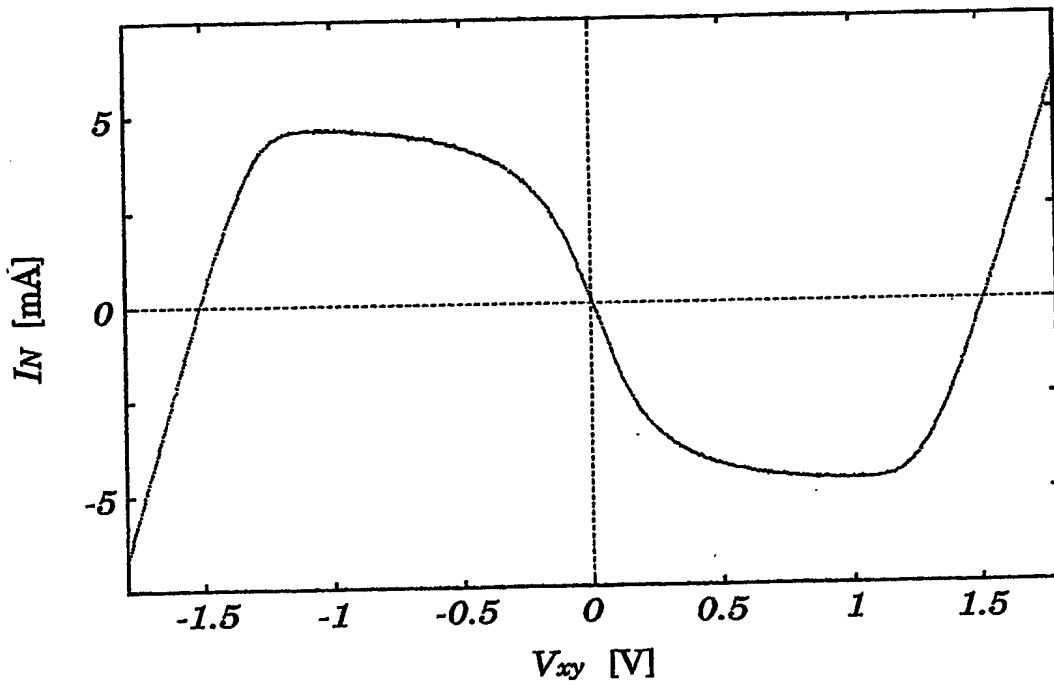
【図 15】



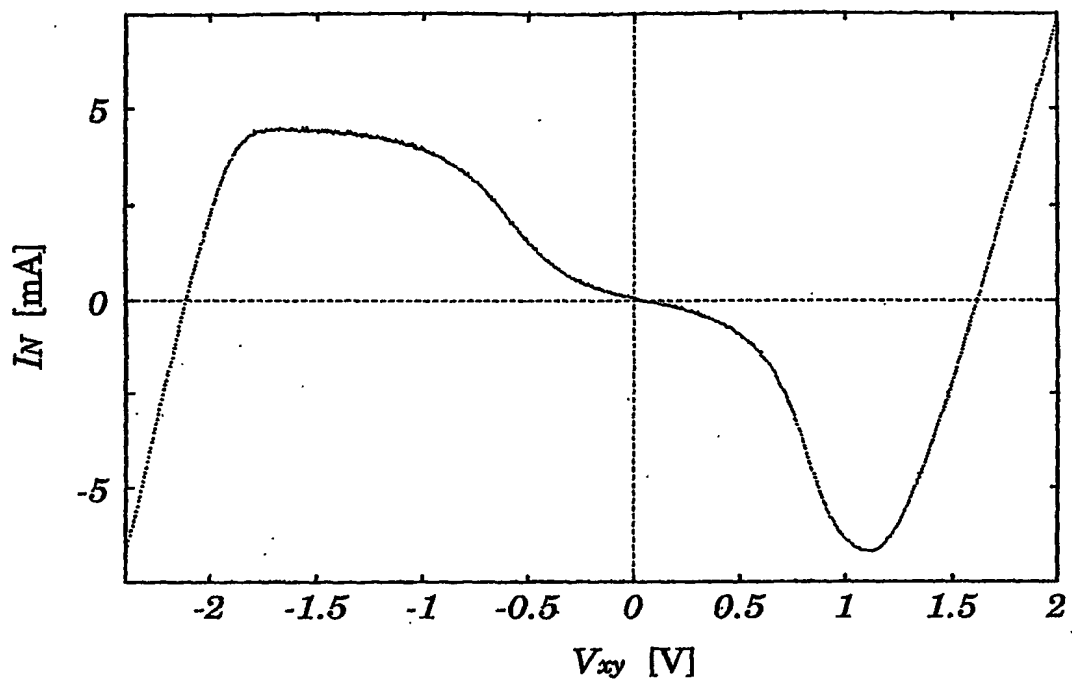
【図16】



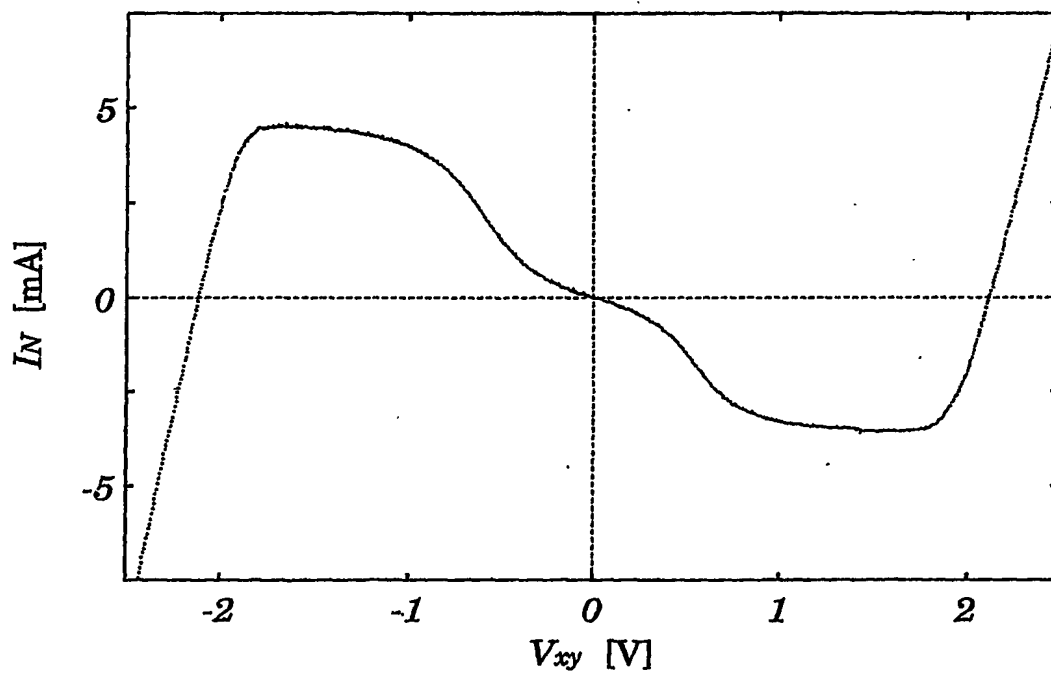
【図17】



【図18】



【図19】



【書類名】 要約書

【要約】

【課題】 3次から7次までの区分線形関数で近似できるような、様々なN字型特性を実現でき、さらにそれらの特性を外部電圧により多様に変化させることができる、N字型のV-I特性を実現するフローティングゲートMOSFETを用いたN字型非線形抵抗回路を提供する。

【解決手段】 多入力フローティングゲートMOSFETを用いたΛ字型の非線形抵抗回路1とV字型の非線形抵抗回路2を並列に接続し、前記Λ字型の非線形抵抗回路の電流と前記V字型の非線形抵抗回路の電流を加算することにより、多様なN字型電圧-電流特性を合成する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号

[396020800]

1. 変更年月日	1998年 2月24日
[変更理由]	名称変更
住 所	埼玉県川口市本町4丁目1番8号
氏 名	科学技術振興事業団